

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-9227

(P2002-9227A)

(43)公開日 平成14年1月11日(2002.1.11)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

テームト\* (参考)

H 0 1 L 25/065

H 0 1 L 23/12

5 0 1 B

25/07

25/08

Z

25/18

23/52

C

23/12

5 0 1

23/52

審査請求 未請求 請求項の数16 O L (全 10 頁)

(21)出願番号

特願2000-184377(P2000-184377)

(22)出願日

平成12年6月20日(2000.6.20)

(71)出願人

000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者

岩淵 肇

東京都品川区北品川6丁目7番35号ソニー株式会社内

(74)代理人

100078145

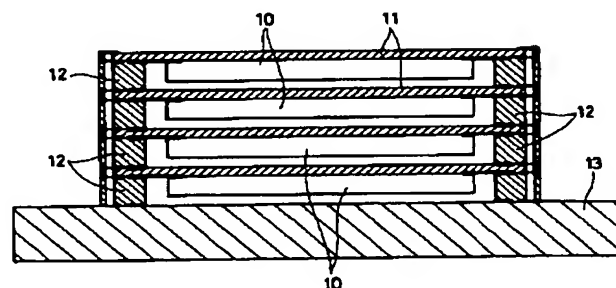
弁理士 松村 修

(54)【発明の名称】 半導体装置とその製造方法

(57)【要約】

【課題】メモリ機能を有する半導体の積層モジュールにおいて、各半導体メモリ素子の配線を変えることなくしかも複数段に積層させた半導体メモリモジュールを提供することを目的とする。

【解決手段】フラッシュメモリ10をインタポータ基板11上に搭載し、インタポータ基板11をスペーサ基板12を介して互いに重かわせるように配列し、このときにスペーサ基板12に形成されているスルーホール24、端子25、および接続パターン26によってフラッシュメモリ10の電極を必要に応じてそれぞれ別々に、あるいは共通に接続する。



REST AVAILABLE COPY

1

## 【特許請求の範囲】

【請求項1】複数の半導体素子とその厚さ方向に配列して成る半導体装置において、それぞれの半導体素子をマウントしているインタポーザ基板と、

前記インタポーザ基板間に配され、該インタポーザ基板間の接続を行なう導通手段を有するスペーサ基板と、前記インタポーザ基板および前記スペーサ基板を介して前記複数の半導体素子が実装されるベース基板と、を具備する半導体装置。

【請求項2】半導体素子が半導体メモリチップであることを特徴とする請求項1に記載の半導体装置。

【請求項3】前記インタポーザ基板が有機材料から成る硬質基板またはフレキシブル基板であることを特徴とする請求項1に記載の半導体装置。

【請求項4】前記スペーサ基板はその高さ方向の寸法が前記半導体素子の厚さよりも大きく、スルーホールまたは外表面の導電層によって導通手段が構成されることを特徴とする請求項1に記載の半導体装置。

【請求項5】前記スペーサ基板は前記半導体素子がマウントされていない領域において前記インタポーザ基板間およびインタポーザ基板とベース基板との間に介装されていることを特徴とする請求項1に記載の半導体装置。

【請求項6】前記インタポーザ基板の両面にそれぞれ半導体素子がマウントされていることを特徴とする請求項1に記載の半導体装置。

【請求項7】複数の半導体素子とその厚さ方向に配列して成る半導体装置において、前記半導体素子をそれらの厚さ方向に所定の間隔で配列するスペーサ基板と、前記スペーサ基板に設けられ、前記半導体素子間の接続を行なう導通手段と、を具備する半導体装置。

【請求項8】前記複数の半導体素子がそれぞれ半導体メモリから構成され、前記複数の半導体メモリによって半導体メモリモジュールが構成されることを特徴とする請求項7に記載の半導体装置。

【請求項9】前記複数の半導体素子がそれぞれ半導体フラッシュメモリから構成され、前記複数の半導体フラッシュメモリによって半導体メモリモジュールが構成されることを特徴とする請求項7に記載の半導体装置。

【請求項10】前記スペーサ基板に設けられている導通手段が前記半導体素子の厚さ方向に貫通して形成されているスルーホールと、前記半導体素子の電極と接続される端子とを有し、前記スルーホールと前記端子との接続によって前記半導体素子に対する信号の入出力が制御されることを特徴とする請求項7に記載の半導体装置。

【請求項11】前記複数の半導体素子がそれぞれ半導体メモリから構成されるとともに、それぞれの半導体メモリの書き込み制御用電極および読出し制御用電極が前記ス

2

ペーサ基板の端子を介して互いに別々のスルーホールに接続されていることを特徴とする請求項10に記載の半導体装置。

【請求項12】前記スペーサ基板に設けられている導通手段が前記半導体素子の厚さ方向に貫通して形成されるスルーホールであって、前記インタポーザ基板に前記スペーサ基板のスルーホールと接続されるスルーホールと前記半導体素子の電極と接続される端子とが形成され、前記インタポーザ基板の前記端子のパターンによって前記半導体素子に対する信号の入出力が制御されることを特徴とする請求項7に記載の半導体装置。

【請求項13】複数の半導体素子とその厚さ方向に配列して成る半導体装置において、それぞれの半導体素子に設けられ、側方に突出しているリードと、前記半導体素子のリード間に配され、前記半導体素子を所定の間隔で配列するスペーサ基板と、を具備する半導体装置。

【請求項14】前記リードがリードフレームのリードベンドを行なわないリードであることを特徴とする請求項13に記載の半導体装置。

【請求項15】半導体素子を有する半導体パッケージの一方の面の少なくとも端子が設けられている領域にフラックスを塗布する工程と、端子に半田コートが施されているスペーサ基板を前記半導体パッケージに搭載してリフローを行なって前記半導体パッケージと前記スペーサ基板とを接続する工程と、前記半導体パッケージの他方の面の少なくとも端子が設けられている領域にフラックスを塗布する工程と、前記スペーサ基板が接続されかつ他方の面にフラックスが塗布された半導体パッケージを重合わせてリフローを行なって積層する工程と、を具備する半導体装置の製造方法。

【請求項16】前記スペーサ基板は端子に半田コートを施した後にダイシングによって個片化されることを特徴とする請求項15に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体装置とその製造方法に係り、とくに複数の半導体素子とその厚さ方向に配列して成る半導体装置とその製造方法に関する。

## 【0002】

【従来の技術】複数の半導体メモリチップを用い、これらのメモリチップをベース基板上に搭載して成るメモリモジュールが電子機器の記憶手段として用いられている。ここでベース基板上にメモリチップを配列する構造を採用すると、ベース基板の面方向に大きな面積を必要とする。従って全体の形状がカード状をなす半導体メモリに好適な形態になる。

【0003】これに対して平面方向の寸法が制限される

3

スティック状の半導体メモリモジュールの場合には、ベース基板上に平面状に半導体メモリを並べる場合に、面積が大きくとれないために配列される半導体メモリの数の制限を生ずる。そしてメモリモジュールの容量は、半導体メモリチップの数の比例する。従って大きな容量にするためには、三次元方向に積層する必要がある。

【0004】このような目的を達するために、例えば図18に示すように、半導体素子1をその厚さ方向に配列した状態でベース基板3上にマウントするようにしている。ここで半導体素子1はTCP (Tape Carrier Package) に代表されるように非常に細いリードを熱圧着してベース基板3に積層するものである。

【0005】また特開平2-198148号公報には、半田ボールを用いた積層方法が開示されている。ここでは図16に示すように、複数の半導体素子1を補助基板6上にそれぞれマウントするとともに、これらの補助基板6を半田ボール7を介して多段に積層し、ベース基板3上に搭載している。

【0006】

【発明が解決しようとする課題】図18に示す半導体素子1の積層方法は特殊な技術を必要とする欠点がある。また半導体メモリ1はその書込み制御用端子および読出し制御用端子をそれぞれの半導体メモリチップ毎に異なるベース基板3上の端子に接続する必要がある。従って図18に示すように同一の形態のリード2によって積層する構造を採用した場合には、それぞれの半導体メモリ1のとくに書込み制御用端子と読出し制御用端子とを半導体メモリ毎に変えなければならないという問題があり、これによって半導体メモリの種類が増加する問題がある。

【0007】図6に示す別の半導体素子1の積層構造の場合にも、同一の位置で半田ボール7によって積層する構造を採用しているために、それぞれの半導体素子1の書込み制御用端子と読出し制御用端子とが短絡されないような配線構造にするために、互いに積層される複数の半導体素子10の書込み制御用端子と読出し制御用端子をそれぞれ異なる位置に設けた半導体素子10を組合わせなければならない問題がある。

【0008】このような理由から、半導体素子1の積層数に制限を生じ、半導体素子の種類の増加に伴って生産するときの管理が複雑になる。またTCP (Tape Carrier Package) を用いた場合の方法においても、半田ボール7を用いた場合にも、何れも特殊な方法を用いなければ積層することができず、現実的な対応ができない問題がある。

【0009】本発明はこのような問題点を鑑みてなされたものであって、互いに短絡するように接続することができない端子を有する複数の半導体素子をそれらの厚さ方向に配列する場合に、それぞれの半導体素子の配線を

4

変えることなくしかも容易に複数段積層することを可能にした半導体装置とその製造方法を提供することを目的とする。またメモリ機能を有する半導体の積層モジュールにおいて、各半導体メモリを構成する半導体素子の配線を変えることなくしかも複数段積層させることを可能にした半導体メモリモジュール構造とその製造方法を提供するものである。

【0010】

【課題を解決するための手段】本願の一発明は、複数の半導体素子をその厚さ方向に配列して成る半導体装置において、それぞれの半導体素子をマウントしているインタポーザ基板と、前記インタポーザ基板間に配され、該インタポーザ基板間の接続を行なう導通手段を有するスペーサ基板と、前記インタポーザ基板および前記スペーサ基板を介して前記複数の半導体素子が実装されるベース基板と、を具備する半導体装置に関するものである。

【0011】ここで半導体素子が半導体メモリチップであってよい。また前記インタポーザ基板が有機材料から成る硬質基板またはフレキシブル基板であってよい。また前記スペーサ基板はその高さ方向の寸法が前記半導体素子の厚さよりも大きく、スルーホールまたは外表面の導電層によって導通手段が構成されてよい。また前記スペーサ基板は前記半導体素子がマウントされていない領域において前記インタポーザ基板間およびインタポーザ基板とベース基板との間に介装されてよい。また前記インタポーザ基板の両面にそれぞれ半導体素子がマウントされてよい。

【0012】本願の別の主要な発明は、複数の半導体素子をその厚さ方向に配列して成る半導体装置において、前記半導体素子をそれらの厚さ方向に所定の間隔で配列するスペーサ基板と、前記スペーサ基板に設けられ、前記半導体素子間の接続を行なう導通手段と、を具備する半導体装置に関するものである。

【0013】ここで前記複数の半導体素子がそれぞれ半導体メモリから構成され、前記複数の半導体メモリによって半導体メモリモジュールが構成されてよい。また前記複数の半導体素子がそれぞれ半導体フラッシュメモリから構成され、前記複数の半導体フラッシュメモリによって半導体メモリモジュールが構成されてよい。また前記スペーサ基板に設けられている導通手段が前記半導体素子の厚さ方向に貫通して形成されているスルーホールと、前記半導体素子の電極と接続される端子とを有し、前記スルーホールと前記端子との接続によって前記半導体素子に対する信号の入出力が制御されてよい。また前記複数の半導体素子がそれぞれ半導体メモリから構成されるとともに、それぞれの半導体メモリの書込み制御用電極および読出し制御用電極が前記スペーサ基板の端子を介して互いに別々のスルーホールに接続されてよい。また前記スペーサ基板に設けられている導通手段が前記半導体素子の厚さ方向に貫通して形成されるスルーホー

5

ルであって、前記インタポーザ基板に前記スペーサ基板のスルーホールと接続されるスルーホールと前記半導体素子の電極と接続される端子とが形成され、前記インタポーザ基板の前記端子のパターンによって前記半導体素子に対する信号の入出力が制御されてよい。

【0014】本願のさらに別の発明は、複数の半導体素子をその厚さ方向に配列して成る半導体装置において、それぞれの半導体素子に設けられ、側方に突出しているリードと、前記半導体素子のリード間に配され、前記半導体素子を所定の間隔で配列するスペーサ基板と、を具備する半導体装置に関するものである。ここで前記リードがリードフレームのリードベンドを行なわないリードであってよい。

【0015】また製造方法に関する発明は、半導体素子を有する半導体パッケージの一方の面の少なくとも端子が設けられている領域にフラックスを塗布する工程と、端子に半田コートが施されているスペーサ基板を前記半導体パッケージに搭載してリフローを行なって前記半導体パッケージと前記スペーサ基板とを接続する工程と、前記半導体パッケージの他方の面の少なくとも端子が設けられている領域にフラックスを塗布する工程と、前記スペーサ基板が接続されかつ他方の面にフラックスが塗布された半導体パッケージを重ね合わせてリフローを行なって積層する工程と、を具備する半導体装置の製造方法に関するものである。ここで前記スペーサ基板は端子に半田コートを施した後にダイシングによって個片化されてよい。

【0016】本発明の好ましい態様は、半導体メモリを多段積層する際に、接続用スペーサ基板を用いることによって、半導体メモリの識別信号を制御し、積層する半導体パッケージの配線を共通化するとともに、これによって多段積層半導体メモリモジュールの容易な製造を可能にするものである。とくに複数の半導体メモリから成る半導体メモリモジュールにおいて、それぞれの半導体メモリの配線を変更することなくしかも容易に複数段積層させるようにした半導体メモリの積層構造を提供するものである。

【0017】このような積層構造は、第1図および第2図に示すように、有機材料から成る硬質基板11あるいはフレキシブル基板11の片面に半導体素子10を積層してパッケージ化を行ない、特性判別および電氣的測定を行なった後に、配線とスルーホールとが形成されている接続用スペーサ基板12に半田付け等の方法によって接続し、電氣的および機械的な接合を保ちながら積層してモジュール化するようにした半導体メモリの多段積層構造に関するものである。このような態様は、半導体素子を多段に積層する場合に非常に有効であり、とくに半導体メモリの積層に好ましく適用されるものである。

【0018】ここで半導体メモリを配列方向に接続するスペーサ基板12は図5～図8に示すように各段毎に異

6

なった配線パターンを採用している。すなわちこのスペーサ基板12が用いられる積層階層によってとくにスルーホール24と電極25とを接続する接続パターン26を異ならしめることに大きな特徴がある。

【0019】半導体素子10によって構成される半導体メモリを並列に多段で積層する場合に、図9に示す回路ブロックを構成するためには、半導体メモリ素子10を構成するROM0～ROM3までの半導体メモリのデータの入出力を制御するために、CE0～CE3の書き込み制御用端子およびRE0～RE3までの読み出し制御用端子を別々にROM0～ROM3へ供給しなければならない。これに対してI/O1～8端子、WE端子（ライトイネーブル端子）、CLE端子（コマンドラッチイネーブル端子）、ALE端子（アドレスラッチイネーブル端子）、WP端子（ライトプロテクト端子）、R/B端子（レディ、ビジー出力端子）、GND端子（グラウンド入力端子）、Vcc端子（電源端子）、Vss端子（グラウンド端子）は共通化させて機能すればよい。

【0020】すなわちROM0～ROM3の4つの半導体メモリ素子10を並列に多段で積層する場合に、図9に示す回路ブロックから明らかなように、各半導体メモリの書き込み制御用CE端子および読み出し制御用RE端子は互いに独立でなければならない。これに対して他の端子は4つの半導体メモリROM0～ROM3で共通化できる。

【0021】そこで本態様においては、記録動作をさせる半導体メモリ10の識別端子部のみを各半導体メモリROM0～ROM3間で短絡しないように、スペーサ基板12のスルーホール24と端子25との接続を工夫している。すなわち各スペーサ基板12毎に接続パターン26の配列を変え、これによってスルーホール24と端子25との接続を変更して異ならしめるようにしている。

【0022】スペーサ基板12の表面と裏面、すなわちその積層方向の電氣的な接続はスルーホール24によって行なうようにしている。なおここでスペーサ基板12の材質は有機コンジット材であってもよく、あるいはまたセラミック基板を用いてもよい。また積層方向の導通手段としてスルーホール24に代えて、このスペーサ基板24の端面にメッキ等の方法によって配線パターンを形成して接続するようにしてもよい。

【0023】半導体素子10はスペーサ基板12に直接接続することも可能であるが、ここでは図3および図4に示すようなインタポーザ基板11に実装し、このようなインタポーザ基板11をスペーサ基板12によって積層するようにしている。インタポーザ基板11は有機材料から成る硬質基板あるいはフレキシブル基板であってよく、このようなインタポーザ基板11上にフリップチップ実装を行なうことによって半導体素子10を搭載してパッケージ化する。

7

【0024】ここで図3に示すようにインタポーザ基板11の両側の周辺近傍には上記スペーサ基板12の表面の端子25と接続するための端子18が形成されている。そしてこの端子18はとくに図4に示すようにこのインタポーザ基板11の幅方向中心側に延び、これによって半導体素子10の電極19の下面に位置するようになっている。そして半導体素子10の電極19と上記インタポーザ基板11の端子とが例えば半田バンプ20によって接続されるようになっている。そしてこのようなインタポーザ基板11と上記スペーサ基板12との接続が半田によって行なわれるようになっている。なお半田に代えて、導電性接着剤を用いても同様な効果が期待できる。

【0025】半導体メモリ10はインタポーザ基板11の片面にのみ実装を行なってもよいし(図1参照)、インタポーザ基板11の両面に実装を行なっても構わない(図13参照)。とくに後者の場合には、1つの半導体集積回路パターンを反転させた半導体メモリを用いることができる。このときは半導体パッケージ内および接続用プリント基板の配線パターンを簡略化することができる。

【0026】また半導体メモリの実装はワイヤボンド方式を用いても当然の如く可能であって、インタポーザ基板11の一方の面にフリップチップボンディングで半導体素子を実装し、反対側の面にワイヤボンド方式によって半導体素子を実装するようにしてもよい。

【0027】また図17に示すように半導体メモリパッケージとして、絶縁封止を行なったパッケージを用いることができる。この場合に金属のリードフレームを用いて従来のTSPパッケージと同様な加工を施した後、リードバンドを行なわずにスペーサ基板の接続端子に接続しても同様の効果を得ることが可能である。

【0028】このような態様の半導体メモリモジュールによれば、組合わされる半導体素子の数を増加して半導体メモリモジュールの容量を増大させた場合においても、それぞれの半導体メモリの配線パターンをそのままにした状態で使用することができる。すなわち積層段毎に異なる配線パターンを有するスペーサ基板12を予め用意することによって、容易に複数段積層させることが可能になる。これによって半導体メモリモジュールの高容量化が実現できるとともに、とくに面方向のスペースが小さな高容量の半導体メモリ装置を提供することが可能になる。

#### 【0029】

【発明の実施の形態】以下本発明を図示の実施の形態によって説明する。まず第1の実施の形態を図1～図10によって説明する。この第1の実施の形態は、図1および図2に示すように、容量が32MのNAND型フラッシュメモリから成る半導体素子10をその厚さ方向に4段に配列したメモリモジュールに関するものである。こ

8

のようなNAND型のフラッシュメモリ10を図3および図4に示すように、インタポーザ基板11上にマウントする。インタポーザ基板11の表面は図3に示すように予めスルーホール17と端子18とが形成された0.1mmの厚さのガラスエポキシ基板である。

【0030】フラッシュメモリ10にはとくに図4に示すようにその下面にアルミ電極19が形成されており、その上にウエハメッキ法によってPbが96重量%であってSnが4重量%の高さが約100 $\mu$ mの半田バンプ20を形成している。そしてインタポーザ基板11に共晶半田を印刷法によって端子18の半田接続部に供給し、上記半田バンプ20を有する半導体メモリ10を搭載し、リフロー工程によってこれらを接続している。そして有機溶剤によって余剰のフラックス成分を洗滌した後、エポキシ樹脂21を半導体メモリ10とインタポーザ基板11との間に充填して硬化させ、これによって半導体メモリパッケージを形成している。

【0031】そしてこのようなパッケージ化された半導体素子10をスペーサ基板12を介して互いに積層する。ここでスペーサ基板12は図5～図8に示すように、各階層毎に両側に配されるように1対ずつ用いられる。そして各スペーサ基板12はスルーホール24と端子25とを備えるとともに、両者を配線パターン26によって接続している。

【0032】ここでとくに図9に示す回路となるように、CE0～CE3の端子およびRE0～RE3までの端子がそれぞれのフラッシュメモリ10について互いに独立に接続されるとともに、それ以外の端子は各フラッシュメモリ10に共通に接続されるように接続パターン26で配線が行なわれている。

【0033】そしてインタポーザ基板11の下面に形成されている端子18の部分にフラックスをメッシュスクリーンによって印刷し、スルーホール24および端子25の部分に半田がブリコートされたスペーサ基板12をインタポーザ基板11の両端の部分に搭載してリフロー処理を行なう。これによってスペーサ基板12とインタポーザ基板11との接続が行なわれる。そしてこの後にモジュール化された半導体装置をベース基板13上に搭載する。

【0034】このように本実施の形態においては、積層用のスペーサ基板12を予め接続した半導体メモリ10を4個用意し、半導体メモリ10のパッケージの積層用スペーサ基板12の接続面とは反対側の面にフラックスを供給してリフロー加熱して順次積層することによって、最終的に32M $\times$ 4=128Mの記憶容量を有する半導体メモリモジュールが得られた。

【0035】図10はこのような半導体メモリパッケージから成る半導体装置の製造工程を示すものである。半導体パッケージを構成するフラッシュメモリ10は予めインタポーザ基板11に実装され、図4に示すような半

導体メモリパッケージが作製される。そしてこのようなメモリパッケージの各種の電気的な特性を測定し、良品の判別を行なう。そして選別された良品から成る半導体メモリパッケージのインタポーザ基板11のとくに半導体チップ10が搭載されている面とは反対側の面の端子18およびスルーホール17の表面にフラックスを印刷によって塗布する。

【0036】一方スペーサ基板12は、複数のスペーサ基板12を一体に形成し、図5～図8に示すようなパターンを形成する。そして半導体パッケージと接続される端子25およびスルーホール24の表面に共晶半田ペーストを約150 $\mu$ mの厚さに印刷法によって塗布する。そしてリフロー処理を行なうことによって印刷された半田を溶融し、半田コートを行なう。そしてこの後にダイシングによって個片化を行なう。これによって細長い四角柱状のスペーサ基板12が得られる。

【0037】このようなスペーサ基板12を上述の如く端子の部分にフラックスが印刷された半導体パッケージの半導体素子10の搭載面とは反対側の面に搭載し、リフロー処理を行なう。このような処理によって半導体メモリ10とスペーサ基板12との接続が達成される。

【0038】このように積層用のスペーサ基板12を接続された半導体メモリパッケージを4個用意する。そしてそれぞれの半導体メモリパッケージのスペーサ基板12の接続面とは反対側の面にフラックスを印刷し、リフロー加熱を行なう。これによって半導体メモリパッケージを複数段に積層していく。このような工程によって、図1および図2に示すような4層構造の半導体メモリモジュールが製造される。

【0039】次に別の実施の形態を図11および図12によって説明する。上述の如く図9に示すように、書込み制御用端子CE0～CE3および読出し制御用端子RE0～RE3については、それぞれの半導体メモリ10について別々に接続することを要する。そこでこの実施の形態においては、インタポーザ基板10の両側にそれぞれスルーホール17を形成するとともに、これらのスルーホール17と接続される導体パターンから成る端子18の接続を各階層のインタポーザ基板11で互いに異ならしめるようにしている。

【0040】図11に示すインタポーザ基板11は最上層の階層のメモリパッケージに利用される基板である。このようにインタポーザ基板11の配線パターン18を変更することによって、各階層のスペーサ基板12のパターンを共通化することが可能になる。すなわちここでは総ての階層のスペーサ基板12が図14に示すように単に両側にスルーホール24を形成した構造とすることが可能になる。なおここでも中継用の端子25をスペーサ基板12に設けるようにしてもよい。

【0041】このような構成によれば、半導体素子10の配線を変えることなくインタポーザ基板11の配線パ

ターン18の配線を各階層毎に変更するだけで、一部の電極を共通に接続するとともに、必要に応じて他の電極をそれぞれの半導体素子に別々に接続することが可能になる。従ってこのような構成によれば、総てのスペーサ基板12を同じパターンにすることが可能になり、その管理が容易になる。

【0042】次にさらに別の実施の形態を図13～図16によって説明する。この実施の形態は32Mの容量のNAND型フラッシュメモリ10を2個と、このようなフラッシュメモリの配線パターンと鏡像関係になるようにパターンを施した同じく32MのNAND型フラッシュメモリ10とを2個組合わせ、これら合計4個のフラッシュメモリ10によってメモリパッケージを組立てるようにしたものである。ここで図14に示すようにスルーホール17および端子18がパターンによって形成された厚さが0.1mmのガラスエポキシ基板11の両面に上記第1の実施の形態と同様な方法によって、半導体メモリ10をそれぞれ1個ずつ図13に示すように実装した。

【0043】そしてこのような半導体メモリパッケージを、図15および図16に示すような積層用スペーサ基板12を介して積層した。ここでスペーサ基板12のスルーホール24と端子25とを接続する接続パターン26は、第1の実施の形態と同様に、積層配置される4枚のフラッシュメモリ10のCE端子およびRE端子が、各半導体メモリ10を識別するためにそれぞれ互いに別々に接続されるように構成され、その他の端子は共通化して接続されるようにパターン化されている。そして図15に示すスペーサ基板12を上側のインタポーザ基板11と中間のインタポーザ基板11との間に配し、これに対して下側のインタポーザ基板11とベース基板13との間にスペーサ基板12を配するようにしている。

【0044】このように4枚のフラッシュメモリ10から成り、2枚のインタポーザ基板11と2段に組合わされるスペーサ基板12とによって32M $\times$ 4=128Mの半導体メモリモジュールが得られた。

【0045】図17はさらに別の実施の形態を示している。この実施の形態は、インタポーザ基板11を省略し、これに代えて絶縁パッケージ30を有するフラッシュメモリ10のリードフレームのリード32を用いてスペーサ基板12の端子25に接続するようにした構造を示している。なおこの実施の形態において、スペーサ基板12の各段のパターンの配列は図5～図8に示す第1の実施の形態と同様であって、このようなスペーサ基板12の端子25の部分にそれぞれの階層のフラッシュメモリ10のリード32が直接半田付けされて接続されるようになっている。なおここでリード32はワイヤ31を介してフラッシュメモリ10の電極に接続されている。そしてここでリード32は、リードフレームのリードバンドを行なわないことによって形成されたものであ



11

る。

【0046】この実施の形態の半導体メモリモジュールによれば、インタポーザ基板11を省略することが可能になり、半導体チップが絶縁パッケージ30によって絶縁された半導体素子から成るメモリモジュールを製作することが可能になる。

【0047】

【発明の効果】以上のように本願の一発明は、複数の半導体素子とその厚さ方向に配列して成る半導体装置において、それぞれの半導体素子をマウントしているインタポーザ基板と、インタポーザ基板間に配され、該インタポーザ基板間の接続を行なう導通手段を有するスペーサ基板と、インタポーザ基板およびスペーサ基板を介して複数の半導体素子が実装されるベース基板と、を具備するようにしたものである。

【0048】従ってこのような構成によれば、複数の半導体素子とその厚さ方向に配列した半導体装置を得ることが可能になる。ここで各半導体素子の電極間の接続を、スペーサ基板の導通手段によって任意に変更することが可能になり、必要に応じて各半導体素子の電極を互いに別々に、あるいはまた必要に応じて共通に接続することが可能になる。

【0049】また本願の別の主要な発明は、複数の半導体素子とその厚さ方向に配列して成る半導体装置において、半導体素子とそれらの厚さ方向に所定の間隔で配列するスペーサ基板と、スペーサ基板に設けられ、半導体素子間の接続を行なう導通手段と、を具備するようにしたものである。

【0050】従ってこのような構成によれば、複数の半導体素子とその厚さ方向に配列して成る半導体装置を得ることが可能になる。ここでスペーサ基板に設けられ、半導体素子間の接続を行なう導通手段の接続に応じて、各半導体素子の電極を互いに別々に、あるいはまた対応する電極を共通に接続することが可能になる。

【0051】製造方法に関する主要な発明は、半導体素子を有する半導体パッケージの一方の面の少なくとも端子が設けられている領域にフラックスを塗布する工程と、端子に半田コートが施されているスペーサ基板を半導体パッケージに搭載してリフローを行なって半導体パッケージとスペーサ基板とを接続する工程と、半導体パッケージの他方の面の少なくとも端子が設けられている領域にフラックスを塗布する工程と、スペーサ基板が接続されかつ他方の面にフラックスが塗布された半導体パッケージを重合させてリフローを行なって積層する工程と、を具備するようにしたものである。

12

【0052】従ってこのような半導体装置の製造方法によれば、複数の半導体素子とその厚さ方向に配列した半導体装置を効率的に製造することが可能になり、とくに複数の半導体素子を有するメモリモジュールの効率的な生産が可能になる。

【図面の簡単な説明】

【図1】第1の実施の形態の半導体素子の構成を示す縦断面図である。

【図2】同半導体素子の分解斜視図である。

【図3】インタポーザ基板の平面図である。

【図4】インタポーザ基板上に半導体素子を搭載して成るメモリパッケージの縦断面図である。

【図5】一番上側の階層のスペーサ基板の平面図である。

【図6】2番目の階層のスペーサ基板の平面図である。

【図7】3番目の階層のスペーサ基板の平面図である。

【図8】4番目の階層のスペーサ基板の平面図である。

【図9】半導体メモリモジュールの各半導体素子間の接続を示すブロック図である。

【図10】製造方法を示すフローチャートである。

【図11】別の実施の形態のインタポーザ基板の平面図である。

【図12】同スペーサ基板の平面図である。

【図13】さらに別の実施の形態の半導体メモリモジュールの縦断面図である。

【図14】インタポーザ基板の平面図である。

【図15】上側の階層のスペーサ基板の平面図である。

【図16】下側の階層のスペーサ基板の平面図である。

【図17】さらに別の実施の形態のメモリモジュールの縦断面図である。

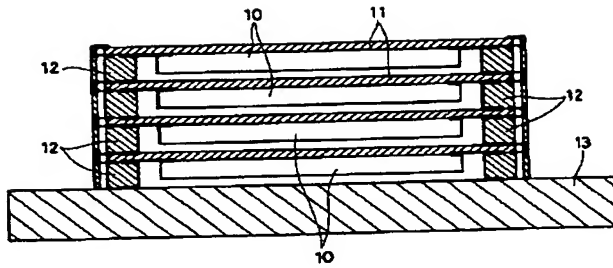
【図18】従来の半導体メモリモジュールの縦断面図である。

【図19】従来の他のメモリモジュールの縦断面図である。

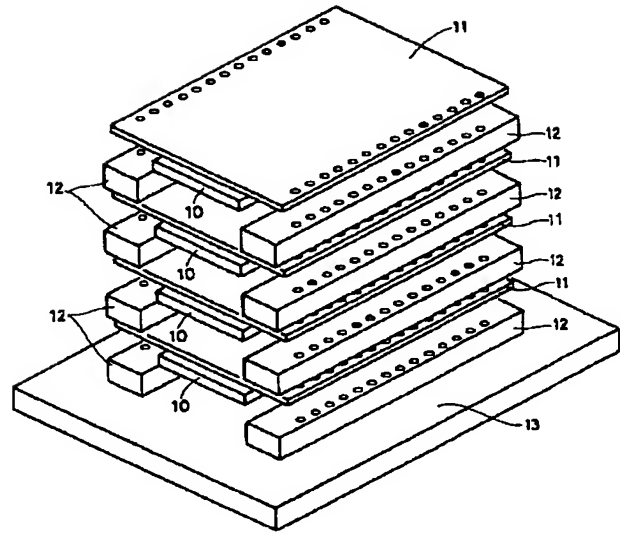
【符号の説明】

1・・・半導体素子、2・・・リード、3・・・ベース基板、6・・・補助基板、7・・・半田ボール、10・・・半導体素子（フラッシュメモリ）、11・・・インタポーザ基板、12・・・スペーサ基板、13・・・ベース基板、17・・・スルーホール、18・・・端子（導体パターン）、19・・・アルミ電極、20・・・半田バンプ、21・・・エポキシ系樹脂、24・・・スルーホール、25・・・端子、26・・・接続パターン、30・・・絶縁パッケージ、31・・・ワイヤ、32・・・リード

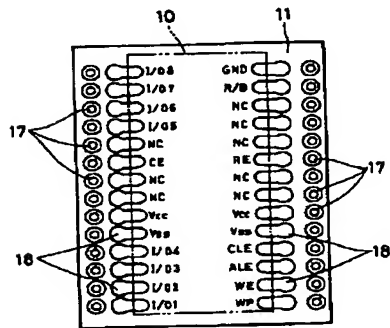
【図 1】



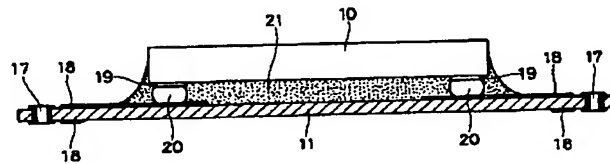
【図 2】



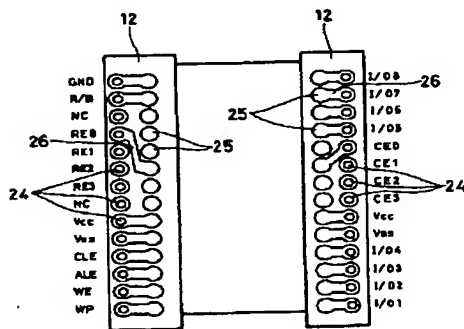
【図 3】



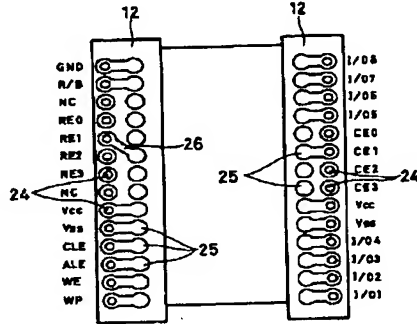
【図 4】



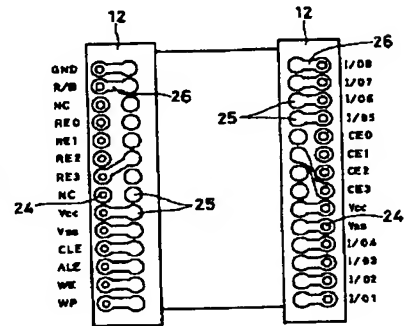
【図 5】



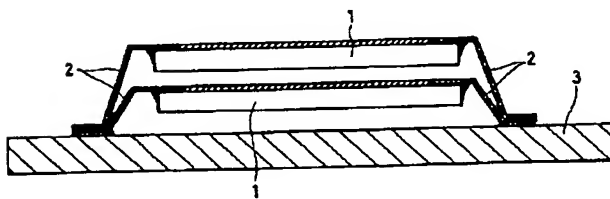
【図 6】



【図 8】

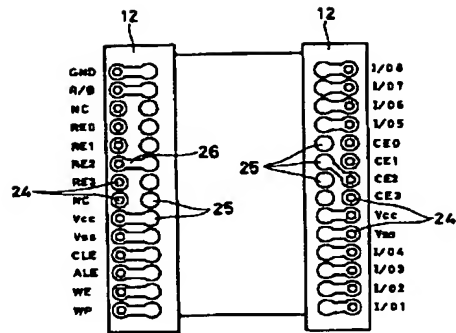


【図 18】

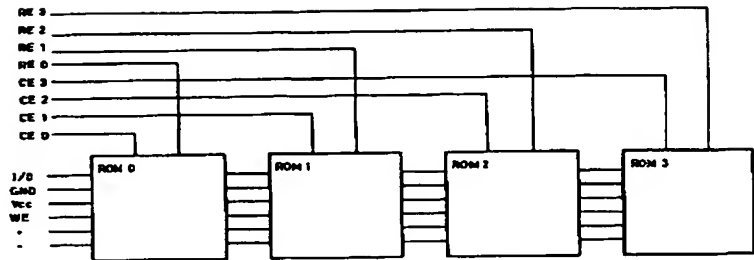




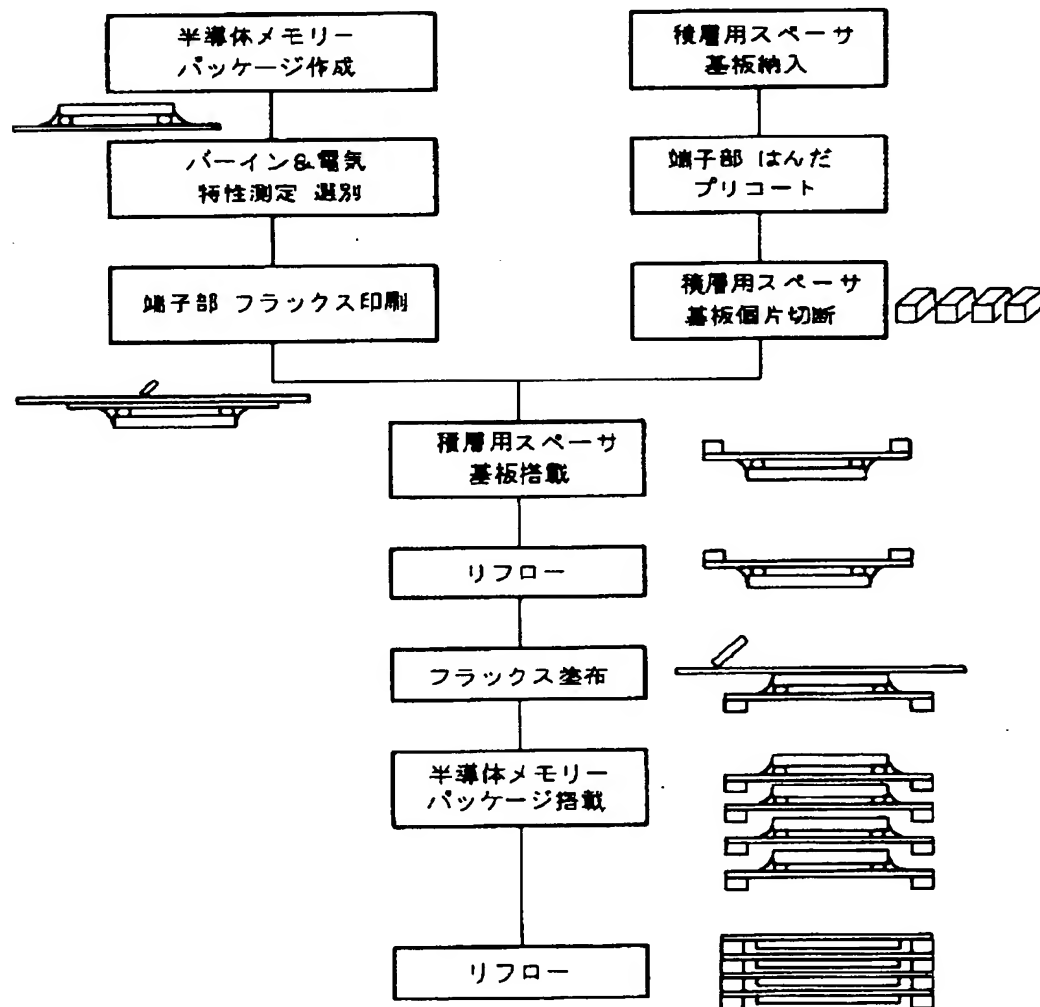
【図7】



【図9】

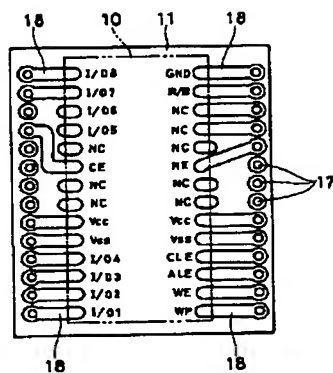


【図10】

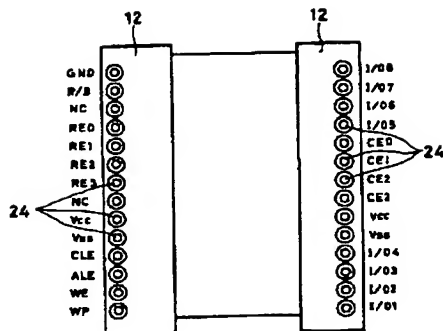


BEST AVAILABLE COPY

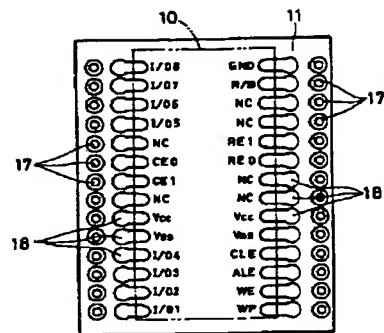
【図 11】



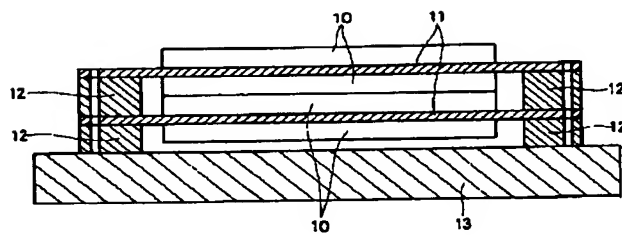
【図 12】



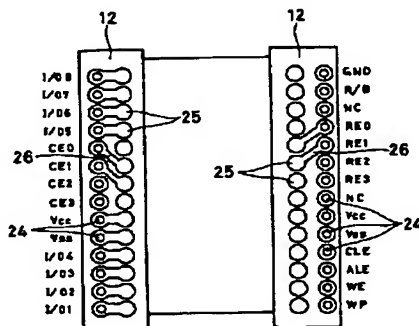
【図 14】



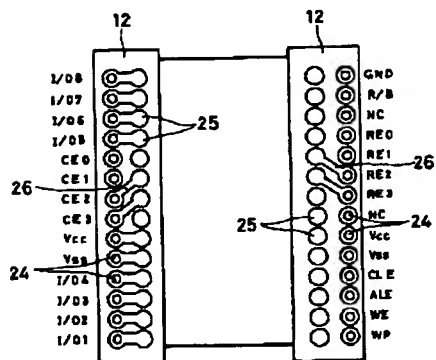
【図 13】



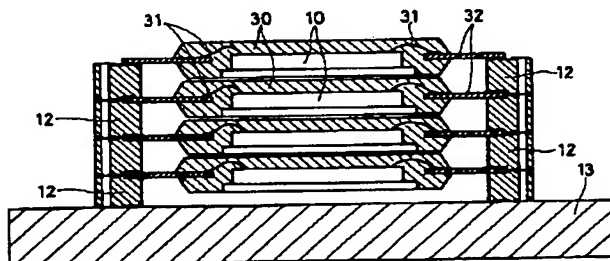
【図 15】



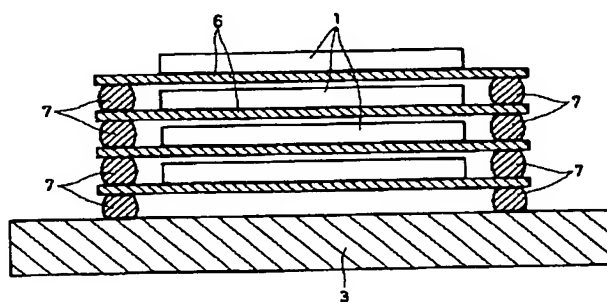
【図 16】



【図 17】



【図 19】



BEST AVAILABLE COPY